

(43)Date of publication of application : 22.12.1994

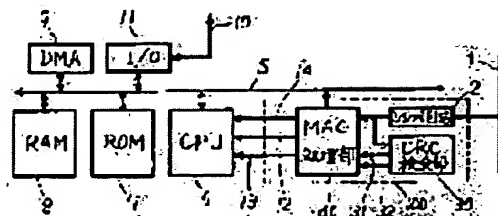
(51)Int.Cl. H04L 12/28  
G06F 11/10  
H04L 1/00  
H04L 12/40

(21)Application number : 05-141818 (71)Applicant : MITSUBISHI ELECTRIC CORP  
(22)Date of filing : 14.06.1993 (72)Inventor : KURANAGA HIROSHI

(57) Abstract:

**PURPOSE:** To attain the recovery processing by decreasing a processing delay through the header processing other layers than a MAC layer in a packet in addition to the CRC check when it is discriminated that there is an error in the packet as the result of the CRC check.

**CONSTITUTION:** A data packet from a communication line 1 is received by a receiver circuit 2 and a CRC check section 30 executes a CRC check and a MAC processing section 40 processes a MAC layer of a data packet, a CPU 6 processes other layers than the MAC layer depending on the check result of no CRC error and when the CRC check is normally terminated, the data packet is transferred to a computer and when the presence of an error is checked, the state is restored before the reception of the data packet and the data packet is aborted.



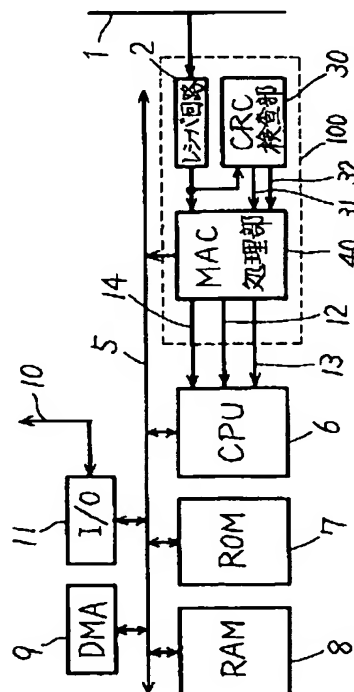
(11)特許出願公開番号

(43)公開日 平成6年(1994)12月22日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
G 0 6 F 11/10	3 3 0 A			
H 0 4 L 1/00	B	9371-5K		
		8732-5K	H 0 4 L 11/ 00	3 1 0 D
		7341-5K		3 2 0
		審査請求 未請求 請求項の数 3	O L (全 11 頁)	最終頁に続く

(21)出願番号	特願平5-141818	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成5年(1993)6月14日	(72)発明者	蔵永 寛 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社エル・エス・アイ研究所内
		(74)代理人	弁理士 深見 久郎 (外3名)

【構成】 通信線 1 からのデータパケットをレシーバ回路 2 で受信し、CRC 検査部 3 0 による CRC 検査と同時に MAC 処理部 4 0 によってデータパケットの MAC 層の処理を行ない、CRC エラーのないことが検査されたことに応じて、CPU 6 によって MAC 層以外の階層の処理を行ない、CRC 検査が正常に終了すれば、データパケットを計算機 3 0 0 に転送し、エラーのあることが検査されたとき、そのデータパケット受信以前の状態に戻し、そのデータパケットを廃棄する。



## 【特許請求の範囲】

【請求項1】 LANで用いられる通信処理装置において、

前記LANからのパケットデータを受信する受信手段、  
前記受信手段によって受信されたパケットデータのCRC検査を行なう検査手段、

前記受信手段によって受信されたパケットデータ内のMAC層などのOSIレイヤに関連の処理を行なうMAC処理手段、

前記MAC層または該MAC層よりも上の階層の処理を行なう中央処理手段、および計算機を備え、

前記検査手段によるCRC検査と同時に前記MAC処理手段によってパケットデータ内のMAC層の処理を行ない、前記検査手段によってパケットデータにエラーがないことが検査されたことに応じて、前記中央処理手段によってMAC層以外の階層の処理を行ない、前記CRC検査が正常に終了したことに応じてデータを前記計算機に転送し、前記検査手段によってデータにエラーのあることが検査されたことに応じて、そのデータ受信以前の状態に戻し、そのパケットデータを廃棄することを特徴とする、通信処理方式。

【請求項2】 さらに、正常なパケットヘッダを処理するためのヘッダ処理手段を含む、請求項1の通信処理方式。

【請求項3】 前記検査手段によるCRC検査終了前に正常なパケットヘッダの処理を行ない、それ以外の処理をCRC検査が正常に終了した後に行なうことを特徴とする、請求項2の通信処理方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は通信処理方式に関し、特に、LANを用いて通信を行なう通信装置において、パケット受信処理遅延を小さくできるような通信処理方式に関する。

## 【0002】

【従来の技術】 図10は従来のLANインタフェース装置の受信機能および関連装置を示した概略ブロック図である。図10において、通信線1はLANインタフェース装置200に含まれるLANコントローラ装置の受信部100に接続される。受信部100はレシーバ回路2とCRC検査部3とMAC処理部4を含む。レシーバ回路2は通信線1から与えられるパケットデータを受信して増幅するものであり、その出力をCRC検査部3とMAC処理部4とに与える。CRC検査部3は受信データのCRC (Cyclic Redundancy Check) 検査を行なう。MAC処理部4はLANのMAC層の処理を行なう。LANインタフェース装置200は制御用バス5とCPU6とROM7とRAM8とDMA9とI/Oを含む。バス5はMAC処理部4とCPU6とROM7とRAM8とDMA9とI/Oとの間で

データおよび制御信号のやり取りをする。CPU6はMAC層より上の階層の処理を行なうものであり、ROM7は予めプログラムを記憶し、RAM8はMAC処理部4あるいはCPU6で処理されたデータを記憶する。DMA9はRAM8からインタフェースライン10を介して計算機300にデータ転送を行なう。I/Oは計算機300を駆動するためのドライバやレシーバを含む。なお、MAC処理部4からCPU6に対して、MACヘッダの処理の終了およびCRCチェックが終了し、エラーがなかったときに割込信号12が与えられる。

【0003】 図11はパケットデータのフォーマットの一例を示す図であり、この図11に示したパケットデータが通信線1を介して受信部2に順次送られる。通信プロトコルは機能ごとに階層的に定義されており、図11に示したMACヘッダは、LANのメディア（イーサネット、トークン・リングなど）によって異なるプロトコル処理で用いられ、パケットのヘッダ（情報部分の前についている部分）のMAC層に関係する部分を示している。MAC以外のヘッダはMAC階層より上の階層のヘッダであり、たとえばLLC、TCP/IPなどのLANのメディアに依存しないプロトコル階層に関するヘッダである。CRCはCRCチェック用のビット列であり、CRC検査部3でパケットの先頭ビットから最後のCRCビットまで計算して、パケットにエラーがあるか否かのチェックが行なわれる。

【0004】 図12は図10に示した通信装置で自己の装置が受信すべきパケットの処理の流れを示すフロー図であり、図13は従来の通信装置で受信パケットの時間的な流れをCRCエラーがない場合について示した図である。

【0005】 次に、図10～図13を参照して、従来の通信装置の動作について説明する。通信線1を介して図13(a)に示すパケットデータが送られてくると、レシーバ回路2はそのパケットデータを受信し、MAC処理部4にそのパケットデータを与える。MAC処理部4はパケットデータに含まれるMACヘッダを処理し、その処理結果とともにパケットの残りの部分をバス5を介してRAM8に送る。CRC検査部3は、受信されたパケットデータのCRC検査を行ない、図13(b)に示すパケットの最後にあるCRCまで処理し、エラーの場合にはそのパケットは廃棄し、CRCエラーがなくかつMAC処理部4が図13(c)に示すMACヘッダの処理を完了すると、通常「L」レベルになっている割込信号線12を「H」レベルにし、CPU6に割込をかける。CPU6は、その後割込に応じて、図13(e)に示すMAC以外のヘッダの処理をROM7に記憶されているプログラムに基づいて行ない、これが終了すると、パケットのデータをDMA9およびI/Oを用いて、図13(f)に示すデータを計算機300に転送する。

【0006】

【発明が解決しようとする課題】従来の通信装置は上述のように構成されているので、CRC検査の終了までCPU6が処理の開始を待たされるため、処理遅延時間が増加し、アクノリッジの帰りを考えると、スループットまで落とすことになるという問題点があった。

【0007】それゆえに、この発明の主たる目的は、CRC検査の終了までCPUが処理の開始を待たされることなく、またCRCエラーが発生したときにはリカバリ処理が可能な通信処理方式を提供することである。

【0008】

【課題を解決するための手段】請求項1に係る発明は、LANで用いられる通信処理装置において、LANからのパケットデータを受信する受信手段と、受信されたパケットデータのCRC検査を行なう検査手段と、受信されたパケットデータ内のMAC層などのOSIレイヤに関連の処理を行なうMAC処理手段と、MAC層またはそのMAC層よりも上の階層の処理を行なう中央処理手段と、計算機とを備え、検査手段によるCRC検査と同時にMAC処理手段によってパケットデータ内のMAC層の処理を行ない、検査手段によってパケットデータにエラーのないことが検査されたことに応じて、中央処理手段によってMAC層以外の階層の処理を行ない、CRC検査が正常に終了したことに応じてデータを計算機に転送し、検査手段によってデータにエラーのあることが検査されたことに応じて、そのパケットデータ受信以前の状態に戻し、そのパケットデータを廃棄するように構成される。

【0009】請求項2に係る発明は、さらに正常なパケットヘッダを処理するためのヘッダ処理手段を含む。

【0010】請求項3に係る発明は、検査手段によるCRC検査終了前に、前記ヘッダ処理手段によって正常なパケットヘッダの処理を行ない、それ以外の処理をCRC検査が正常に終了した後に行なう。

【0011】

【作用】この発明に係る通信処理方式は、CRC検査と同時にパケットデータ内のMAC層の処理を行ない、パケットデータにエラーがないことが検査されたことに応じて、MAC層以外の階層の処理を行ない、その処理が終了しかつCRC検査が正常に終了した時点でパケットデータを計算機に転送することにより、遅延時間を減少できる。

【0012】

【実施例】図1はこの発明の一実施例の概略ブロック図であり、図2は図1に示した受信部の具体的なブロック図である。

【0013】図1において、受信部100はレシーバ回路2とCRC検査部30とMAC処理部40を含む。MAC処理部40は、図2に示すように、MACヘッダ処理部41とデータ転送部42とインバータ44と論理積回路45および46を含む。MACヘッダ処理部4

1はレシーバ回路2で受信されたパケットデータに含まれるMACヘッダを処理し、その処理結果をデータ転送部42に出力する。データ転送部42は、MACヘッダ処理部41の処理結果と、MAC以外のヘッダとデータとを転送線43を介してバス5に出力し、RAM8に書込む。

【0014】CRC検査部30は、レシーバ回路2で受信されたパケットデータに含まれるCRCチェックビットを検査し、CRC検査終了信号31とCRCエラー信号32を出力して論理積回路45に与える。論理積回路45はCRC検査終了信号31とCRCエラー信号32との論理積を求め、割込信号13をCPU6に与える。また、CRCエラー信号32はインバータ44で反転され、CRC検査終了信号31とともに論理積回路46に与えられる。論理積回路46はCRC検査終了信号31とCRCエラー信号32の反転信号との論理積を求め、割込信号12をCPU6に与える。

【0015】図3はこの発明の一実施例における通信装置で自己の装置が受信すべきパケットの処理の流れを示すフロー図であり、図4は通信装置で受信パケットの時間的な流れをCRCエラーがない場合について示す図である。

【0016】次に、図1～図3を参照して、この発明の一実施例の具体的な動作について説明する。通信線1を介してパケットデータが送られてくると、レシーバ回路2がそのパケットデータを受信し、MAC処理部40に与える。MAC処理部40はMACヘッダを処理し、MACヘッダの処理結果とMACヘッダ以外のヘッダを、バス5を介してRAM8に転送する。MACヘッダ処理部41はその転送が完了すると、通常は「L」レベルの割込信号14を一定時間「H」レベルにする。CPU6はこの割込信号を検出し、MAC以外のプロトコルの状態変数、TCPプロトコルを使う場合であれば既に受信しているパケットデータ中のデータのシリアル番号などをRAM8に記憶し、MAC以外のヘッダの処理をROM7のプログラムに基づいて行なう。このとき、MAC処理部40はバス5の空き時間を使って受信パケットデータをRAM8に転送する。

【0017】一方、CRC検査部30は、パケットデータの受信と同時にCRC検査を開始し、パケットデータの最後にあるCRCまで処理し、CRCエラーがなければ、CRCエラー信号32を「H」レベルにするとともに、CRC検査終了信号31を「H」レベルにし、それまで「L」レベルになっていた割込信号13を「H」レベルにしてCPU6に与える。

【0018】CPU6はその割込信号に応じて、MAC層以外のヘッダの処理を終了しかつCRC検査部30による正常な終了を確認して、パケットデータをDMA9、I/O11を用いて計算機300に転送する。もし、CRC検査部30がエラーであることを検査したと

きには、CRCエラー信号32を「L」レベルにする。この「L」レベル信号はインバータ44で「H」レベルに反転され、通常「L」レベルの割込信号12を論理積回路46によって「H」レベルにしてCPU6に割込をかける。CPU6はその後割込信号に応じて、先にRAM8に記憶したプロトコル状態変数を復活させ、CRCエラーのあるパケットを受信以前の状態に戻し、このパケットを廃棄する。このように、パケットデータにCRCエラーがない場合、CRC検査が終わる前にMAC以外のヘッダ処理を始めるため、処理の遅延を抑えることができ、CRCエラーがある場合も正常にパケットの廃棄が可能となる。

【0019】図5はこの発明の他の実施例のブロック図であり、図6は図5に示した通信装置で自己の装置が受信すべきパケットの処理の流れを示し、図7は受信パケットの時間的な流れをCRCエラーがない場合について示した図である。

【0020】図5に示した実施例は、LANコントローラ装置の受信部100にヘッダ処理部15を設けたものであり、それ以外の構成は図1と同じである。

【0021】実際にLANでデータ伝送をする場合、①通信線に最も近い物理層、MAC、LLC、IP、TCP各プロトコル階層を順次起動していく通信開始処理、②送りたいデータを各通信路で決められた大きさに分割し、各プロトコル層のヘッダを分割データの前に付加したパケットの連続伝送、③通信開始処理と逆の順番でプロトコルの各階層を切断していく通信終了処理からなる。このうち、計算期間の大規模なファイル伝送で最も時間を要するのは②のパケットの連続伝送であるため、各層のプロトコルの正常ヘッダ受信の処理のみを、CRCチェック前にLANコントローラ装置100に設けられたヘッダ処理部15で行ない、それ以外の処理はCPU6で行なう。

【0022】すなわち、ヘッダ処理部15はMAC処理部40から出力される割込信号14を認識した後、MAC処理部40からMACヘッダ処理結果とMAC以外のヘッダおよびパケットデータを受取り、MAC以外のヘッダのうち処理できるものは処理し、その処理結果と処理できなかったヘッダ、パケットデータをバス5を介してROM8に転送する。この処理途中で割込信号12が入力された場合、上述の処理を続行するが、割込信号13が与えられるとその処理を中止する。

【0023】図8はこの発明のさらに他の実施例におけるパケットデータの処理の流れを示す図であり、図9は受信パケットの時間的な流れをCRCエラーがない場合について示した図である。

【0024】この図8および図9に示した実施例は、前述の図5に示した通信装置で処理され、ROM7に記憶されているプログラムのみが図8のように異なっている。

【0025】前述の各実施例では、MAC以外のプロトコルのすべての状態変数を記憶し、受信パケットのCRC検査終了前に処理しているが、プロトコルによってはこの状態変数が膨大なものになる場合がある。このため、図8に示した実施例では、CRC検査終了前の処理を各層のプロトコルの正常ヘッダ受信処理のみに限定し、これに関するプロトコルの状態変数のみを記憶するようにすれば、RAM8のプロトコル状態変数記憶用の領域を大幅に減少させても、同様の効果を得ることができる。

【0026】

【発明の効果】以上のように、この発明によれば、CRC検査の終了を待つことなく、中央処理手段によってMAC階層より上位の階層の処理を開始し、中央処理手段による処理が終了しかつCRC検査が正常に終了した時点で、受信データを計算機に転送することができ、遅延時間を減少できる。

【図面の簡単な説明】

【図1】この発明の一実施例の概略ブロック図である。

【図2】図1に示したLANコントローラ装置の具体的なブロック図である。

【図3】この発明の一実施例の具体的な動作を説明するためのフロー図である。

【図4】図1に示した実施例で受信パケットの時間的な流れを示す図である。

【図5】この発明の他の実施例の概略ブロック図である。

【図6】図5に示した実施例の動作を説明するためのフロー図である。

【図7】この発明の他の実施例における受信パケットの時間的な流れを示す図である。

【図8】この発明のさらに他の実施例の動作を説明するためのフロー図である。

【図9】この発明のさらに他の実施例における受信パケットの時間的な流れを示す図である。

【図10】従来の通信装置の概略ブロック図である。

【図11】データフォーマットの一例を示す図である。

【図12】従来の通信装置の動作を説明するためのフロー図である。

【図13】従来の通信装置における受信パケットの時間的な流れを示す図である。

【符号の説明】

1 通信線

2 レシーバ回路

5 バス

6 CPU

7 ROM

8 RAM

9 DMA装置

10 インタフェースライン

11 I/O

12, 13, 14 割込信号

15 ヘッド処理部

30 CRC検査部

40 MAC処理部

41 MACヘッダ処理部

\* 42 データ転送部

44 インバータ

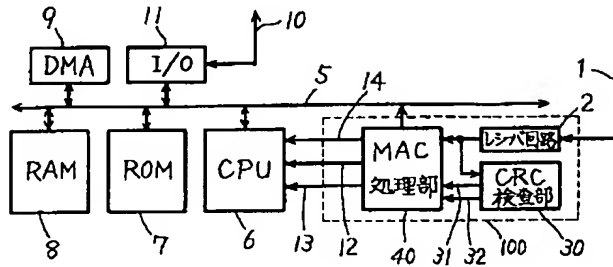
45, 46 論理積回路

100 LANコントローラ装置

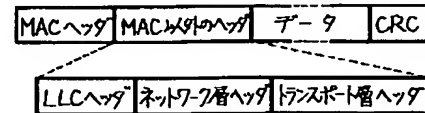
200 LANインタフェース装置

\* 300 計算機

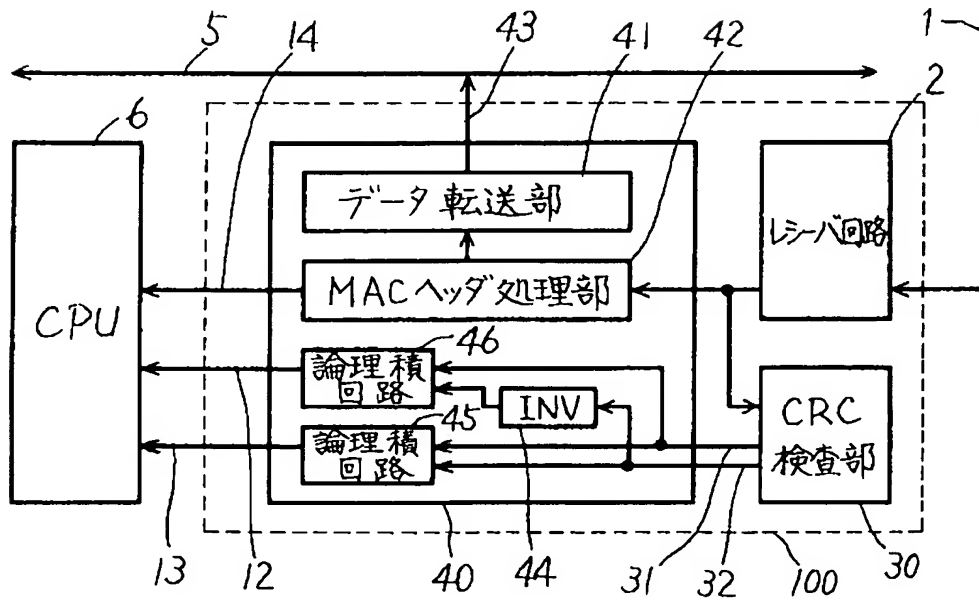
【図1】



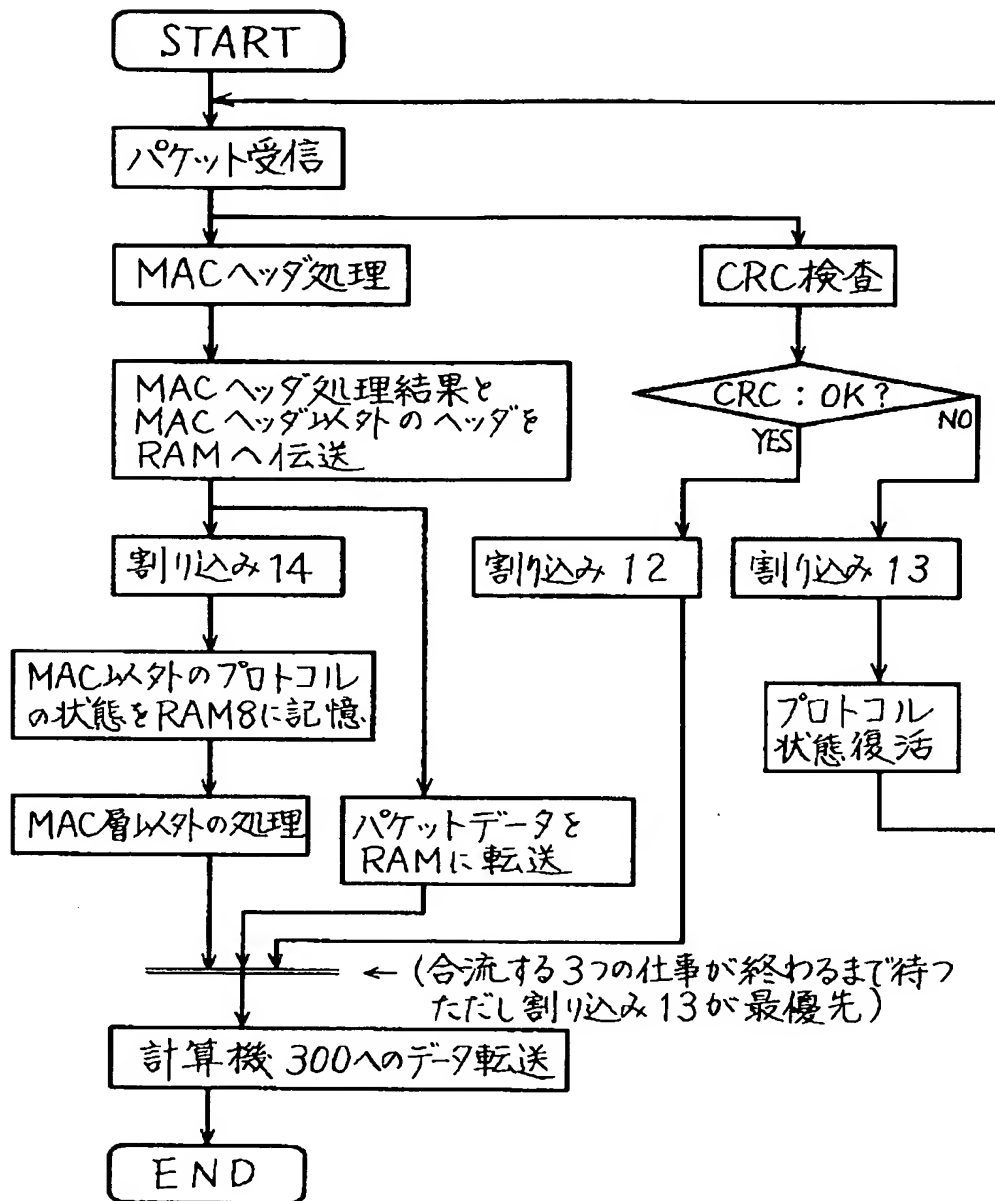
【図11】



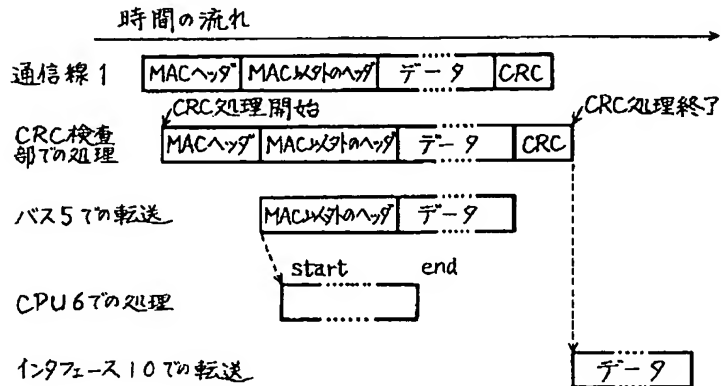
【図2】



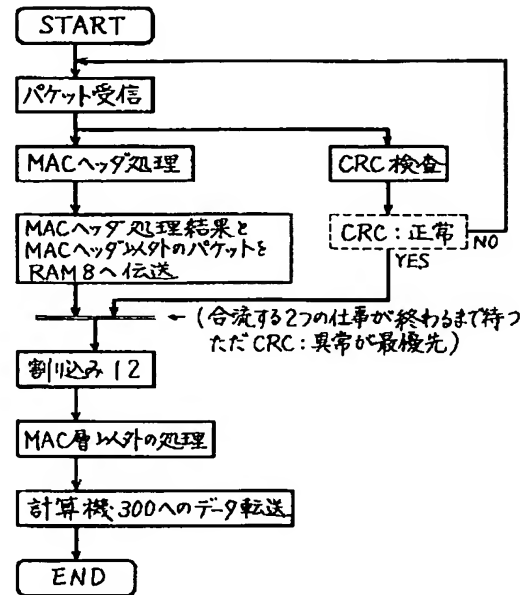
【図3】



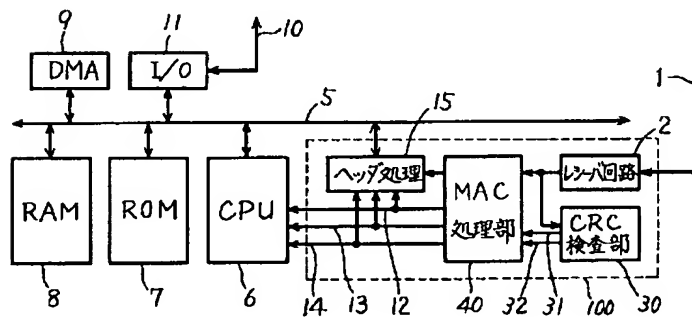
【図4】



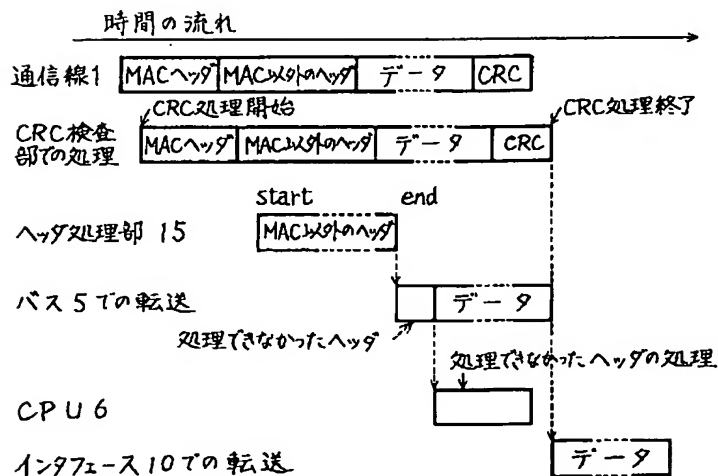
【図 12】



【図5】

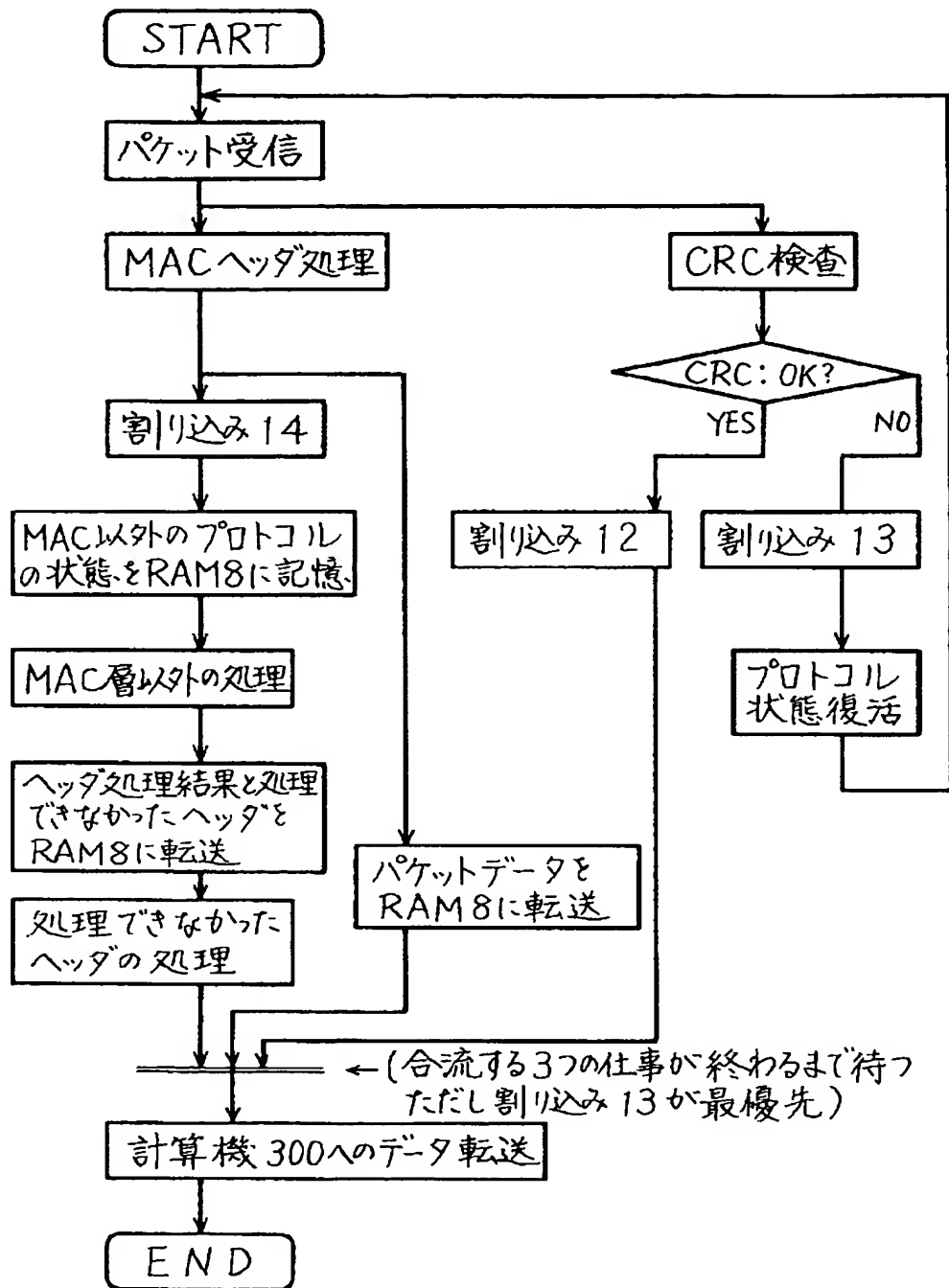


【図 7】

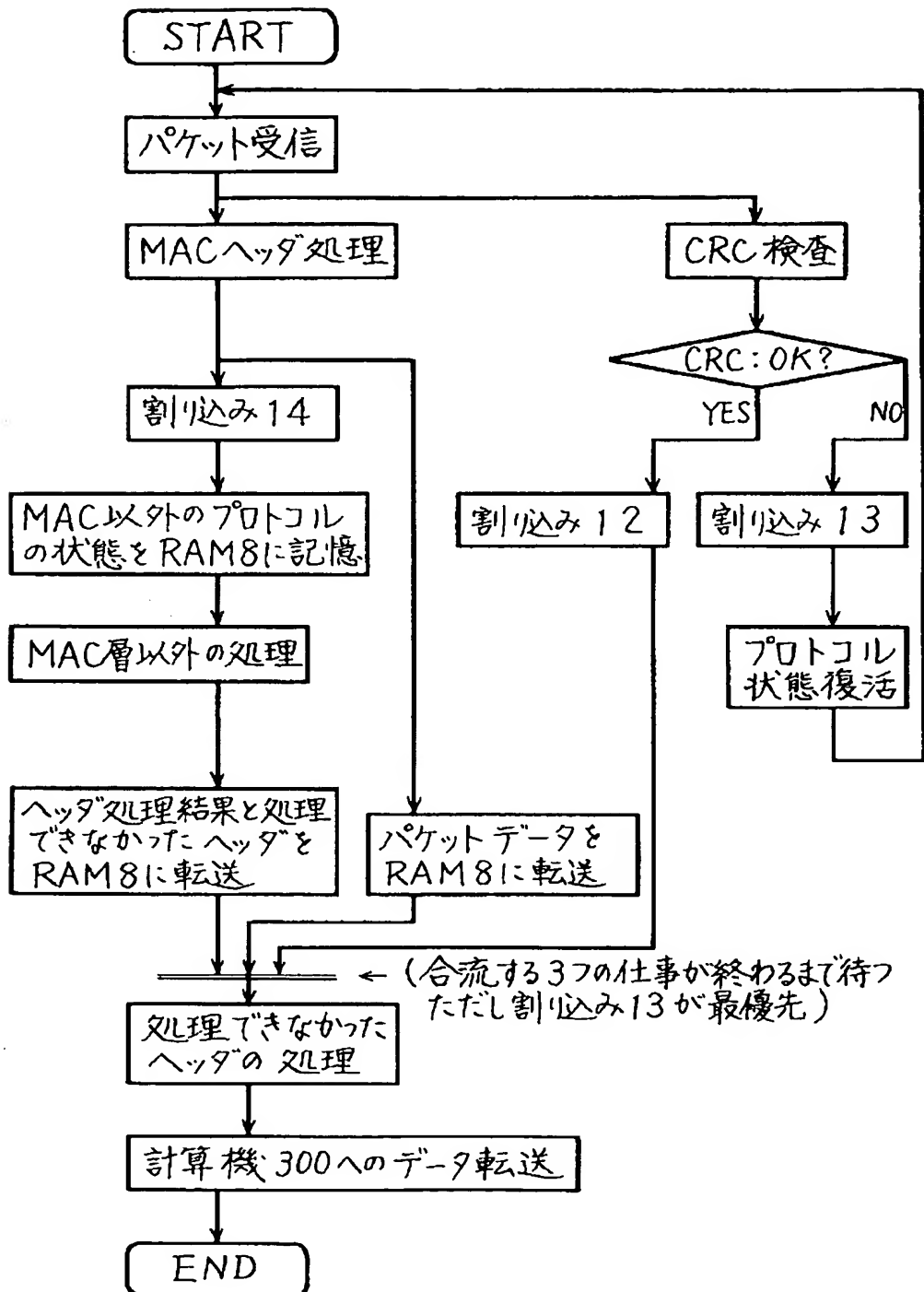




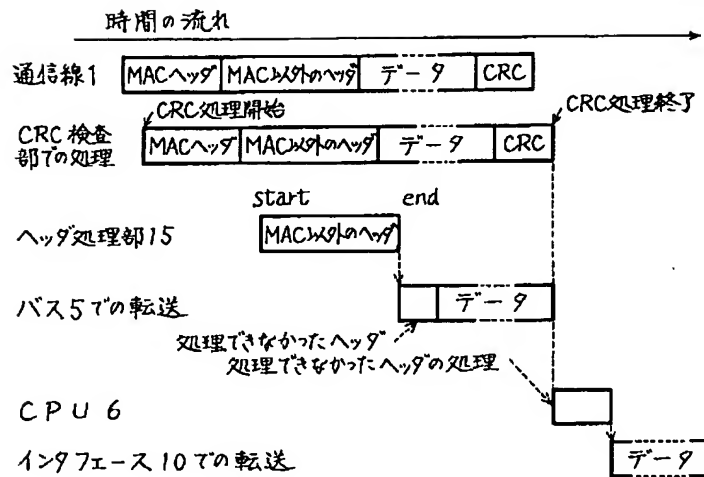
【図6】



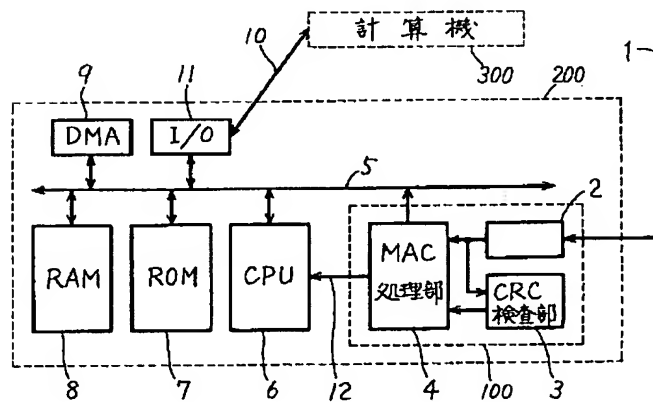
【図8】



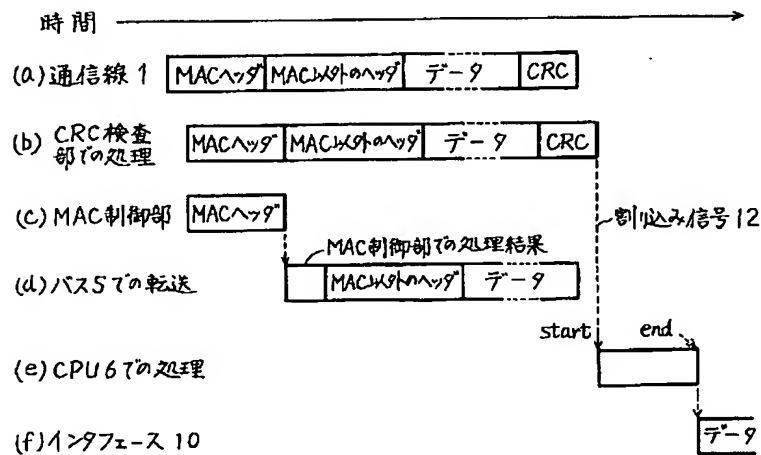
【図9】



【図10】



【図13】



(11)

特開平6-350611

フロントページの続き

(51)Int.Cl.<sup>5</sup>

H04L 12/40

識別記号

庁内整理番号

F I

技術表示箇所